

#2
5-16-84

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Wataru NAKASHIMA, et al.
Filed : Concurrently herewith
For : APPARATUS FOR TESTING FUNCTIONS...
Serial No. : Concurrently herewith

Je997 U.S. PTO

09/01/2001



March 26, 2001

Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-343466 of November 10, 2000 whose priority has been claimed
in the present application.

Respectfully submitted

[] Samson Helfgott
Reg. No. 23,072
[x] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJI 18.489
BHU:priority

Filed Via Express Mail
Rec. No.: EL522402486US
On: March 26, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年11月10日

出 願 番 号

Application Number:

特願2000-343466

出 願 人

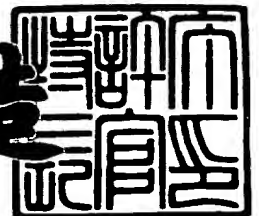
Applicant (s):

富士通株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3013428

【書類名】 特許願

【整理番号】 0052290

【提出日】 平成12年11月10日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/26

【発明の名称】 試験装置

【請求項の数】 5

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目2番8号 富士通九州ディジタル・テクノロジー株式会社内

【氏名】 中島 渉

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目2番8号 富士通九州ディジタル・テクノロジー株式会社内

【氏名】 浅田 協

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目2番8号 富士通九州ディジタル・テクノロジー株式会社内

【氏名】 中村 亘

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目2番8号 富士通九州ディジタル・テクノロジー株式会社内

【氏名】 吉田 英達

【発明者】

【住所又は居所】 福岡県福岡市博多区博多駅前三丁目2番8号 富士通九州ディジタル・テクノロジー株式会社内

【氏名】 松本 佳久

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100105337

【弁理士】

【氏名又は名称】 眞鍋 潔

【代理人】

【識別番号】 100072833

【弁理士】

【氏名又は名称】 柏谷 昭司

【代理人】

【識別番号】 100075890

【弁理士】

【氏名又は名称】 渡邊 弘一

【代理人】

【識別番号】 100110238

【弁理士】

【氏名又は名称】 伊藤 壽郎

【手数料の表示】

【予納台帳番号】 075097

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906989

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 試験装置

【特許請求の範囲】

【請求項 1】 アドレスを含むヘッダ部と、伝送するデータを含むデータ部とを有するパケットを、前記アドレスを基にネットワークに送出する機能を有する試験装置に於いて、

テストデータを生成して前記データ部に付加して送出する試験パケット送信部を備え、

該試験パケット送信部は、試験パケット発生部と、送信制御部とを含み、

前記試験パケット発生部は、前記ヘッダ部に付加するアドレスを設定値に従って順次更新して出力する手段と、前記データ部に付加するテストデータを設定値に従って固定又は順次更新して出力する手段とを有し、

前記送信制御部は、前記パケットのフォーマットに従って前記アドレスを前記ヘッダ部に付加し、且つ前記テストデータを前記データ部に付加して送出する制御手段を有する

ことを特徴とする試験装置。

【請求項 2】 前記試験パケット発生部は、プロトコルヘッダ生成部と、識別子生成部と、シリアル番号生成部と、テストデータ生成部とを含み、前記プロトコルヘッダ生成部は、初期値データと終値データとによる範囲内のアドレスをパケット送出毎に更新する手段を有し、前記テストデータ生成部は、設定値に従ったデータ長で且つ疑似ランダムデータ、インクリメントデータ、デクリメントデータ又は固定データの何れかのテストデータを出力する手段を有することを特徴とする請求項 1 記載の試験装置。

【請求項 3】 前記試験パケット発生部は、定期的にパケットを送出して、パケット中継装置に生存通知等を行う制御パケットをプロセッサの制御によって書込み、前記送信制御部によって該制御パケットを読出して送出する制御データ用メモリを有することを特徴とする請求項 1 又は 2 記載の試験装置。

【請求項 4】 アドレスを含むヘッダ部と、伝送するデータを含むデータ部とを有するパケットを受信して試験を行う試験装置に於いて、

パケット中継装置又はネットワークを介して出力されるパケットを受信してチェックする試験パケット受信部を備え、

該試験パケット受信部は、試験パケットチェック部と受信制御部とを含み、

前記試験パケットチェック部は、ヘッダ部に付加されたアドレスと、データ部に付加されたシリアル番号やテストデータとをチェックする手段を有し、

前記受信制御部は、前記パケットのフォーマットに従ったタイミングで前記テストデータチェック部のチェック動作を行わせる制御手段を有する

ことを特徴とする試験装置。

【請求項 5】 アドレスデータを含むヘッダ部と、伝送するデータを含むデータ部とを有する所定のプロトコルに従ったパケットを送信する試験装置に於いて、

アドレスデータを含む前記ヘッダ部用のデータを出力する第 1 の出力手段と、試験データを含む前記データ部用のデータを出力する第 2 の出力手段と、前記第 1 の出力手段と前記第 2 の出力手段との何れかの出力を選択的に出力する選択手段とを備えた試験パケット発生部と、

前記所定のプロトコルに従ったパケットが前記選択手段から出力されるように該選択手段を制御する送信制御手段と

を有することを特徴とする試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変長パケットを伝送する LAN (Local Area Network) 等のネットワークに接続して、送信先アドレスに従って中継送出するパケット中継装置の機能を試験する試験装置に関する。

【0002】

【従来の技術】

コネクションレス型のネットワークに於いては、送信先アドレスと送信元アドレスとを含むヘッダ部を送信データに付加したパケット（又はフレーム）を送信端末から受信端末に対して送出し、ネットワークでは、送信先アドレスに従って

パケット（又はフレーム）のルーティング制御を行って受信端末へ転送するものであり、そのネットワークに、ルータ、スイッチングハブ等のパケット中継装置を接続して、送信先アドレスに従ってパケット（又はフレーム）の転送制御を行うものである。

【 0 0 0 3 】

このようなパケット中継装置又はこれを含むネットワークの試験を行う場合、例えば、図 9 に示すように、送信側の試験装置（NTD 1）8 1 と受信側の試験装置（NTD 2）8 2 とを用意し、パケット中継装置（TGT）8 3 又はこれを含むネットワークを被試験装置として接続し、送信側の試験装置 8 1 からテストデータを含むパケットを送出し、パケット中継装置 8 3 を介して受信側の試験装置 8 2 に転送し、この試験装置 8 2 に於いてヘッダ部のチェックやテストデータのチェック又は単位時間のパケットの受信数検出等を行って、パケット中継装置 8 3 又はこれを含むネットワークが所定の機能を有するか否か等の試験を行うことができる。又送信側と受信側との試験装置 8 1，8 2 を同一の筐体に収容した試験装置を構成することもできる。

【 0 0 0 4 】

従来の試験装置の前述の送信側に相当する試験パケット送信部は、図 1 0 に示す構成を有するものであり、1 0 1 はプロセッサ（CPU）、1 0 2 はプログラムメモリ（PM）、1 0 3 は CPU バス、1 0 4 は送信メモリ（TXM）、1 0 5 は送信制御回路、1 0 6 は MAC レイヤ制御部（MAC）、1 0 7 は物理レイヤ制御部（PHY）、1 0 8 は送信バス（TB）を示す。

【 0 0 0 5 】

プロセッサ 1 0 1 は、プログラムメモリ 1 0 2 に格納されたプログラムに従って、送信先アドレス、送信元アドレスを含むヘッダ部とテストデータを含むデータ部とからなる試験パケットを送信メモリ 1 0 4 に書込み、送信制御回路 1 0 5 に送信指示を行う。送信制御回路 1 0 5 は、プロセッサ 1 0 1 からの指示に従って送信メモリ 1 0 4 からテストデータを付加した試験パケットを讀出して、MAC レイヤ制御部 1 0 6 及び物理レイヤ制御部 1 0 7 を介してパケット中継装置やネットワークに対応したフォーマットで送出する。

【 0 0 0 6 】

又プロセッサ 1 0 1 は、送信メモリ 1 0 4 から試験パケットを送信制御回路 1 0 5 の制御によって読出して送出する毎に、送信先アドレスの変更或いはテストデータの内容の変更等を行って送信メモリ 1 0 4 に書込み、送信制御回路 1 0 5 に送信指示を行う。このような制御を繰り返して、複数種類の試験パケットを送出するものである。

【 0 0 0 7 】

又従来の試験装置の前述の受信側に相当する試験パケット受信部は、図 1 1 に示す構成を有するものであり、1 1 1 はプロセッサ (CPU)、1 1 2 はプログラムメモリ (PM)、1 1 3 は CPU バス、1 1 4 は受信メモリ (RXM)、1 1 5 は受信制御回路、1 1 6 は MAC レイヤ制御部 (MAC)、1 1 7 は物理レイヤ制御部 (PHY)、1 1 8 は受信バス (RB) を示す。

【 0 0 0 8 】

受信したパケットは、物理レイヤ制御部 1 1 7 及び MAC レイヤ制御部 1 1 6 を介して受信メモリ 1 1 4 に書込まれる。この時、受信制御回路 1 1 5 は、MAC レイヤ制御部 1 1 6 からのパケット開始信号と終了信号とを基に、受信メモリ 1 1 4 に対するパケットの書込制御を行い、書込終了によりプロセッサ 1 1 1 に通知し、プロセッサ 1 1 1 は、ヘッダ部のチェック処理やテストデータのチェック処理等を行うものである。

【 0 0 0 9 】

【発明が解決しようとする課題】

各種のデータを高速伝送する為に、例えば、1 0 0 M b p s 程度の伝送速度のファスト・イーサネットや、1 G b p s 又は 1 0 G b p s の伝送速度のギガビット・イーサネット等が実用化されており、それに伴ってパケット中継装置の処理速度が向上している。又多数のポートを有するパケット中継装置も知られている。又複数ポート対応の各伝送路の伝送レートで全ポートのパケット中継処理を行うパケット中継装置、即ち、フルワイヤと称される送受信機能を有するパケット中継装置も知られている。

【 0 0 1 0 】

又パーソナルコンピュータやインターネットの普及により、ネットワークに接続される端末数が非常に多くなり、各種のデータが多量に転送されている。このようなネットワークに接続するパケット中継装置について、所望の特性を有するか否かを評価する手段が必要である。その場合、送信先アドレス、送信元アドレス、データのパターン、パケット長等の何れか一つ或いは複数を変更しながら、フルワイヤ機能のパケット中継装置に対しても試験を行うことが要望される。

【0011】

従って、パケット中継装置又はこれを接続したネットワークを試験する試験装置としては、疎通／通信確認機能、過負荷試験機能、性能測定機能、帯域保証試験機能、長時間ランニング試験機能等についてフルワイヤの機能の試験機能を備えていることが要望される。しかし、従来の試験装置は、例えば、図10に示す試験パケット送信部に於いて、送信メモリ104に送信先アドレスやテストデータを書込み、送信制御回路105の制御によって送信メモリ104から読出して送信するものであり、送信メモリ104から同一のパターンのパケットを繰り返し読出して送出する場合は比較的高速で送出することが可能となるが、パケット送出毎にプロトコルヘッダの更新やテストデータの更新等を行う場合、送信メモリ104の書き換えが必要となる。例えば、ギガビット・イーサネットの場合に、パケット間の約96nsの間で書き換える処理等を行う必要がある。しかし、このような高速でデータを書き換えて送出する手段は実現されていないものであり、又実現したとしても非常に高価なものとなる問題がある。従って、従来の試験装置は、フルワイヤ機能のパケット中継装置の過負荷試験や帯域保証試験等を行うことは不可能に近いものであった。

【0012】

又図11に示す試験パケット受信部に於いても、受信したパケットを受信メモリ114に一旦書込み、プロセッサ111の処理によって、正常受信パケットであるか否か、テストデータが正常であるか否か等の試験を行う過程に於いて、前述のギガビット・イーサネットでは、最短のパケット長（フレームチェックシーケンスFCSを含む）の64バイトのパケットをフルワイヤで受信した場合、1パケット当たり約600nsの間で、受信メモリ114に対する書込み及び読出

しと、プロセッサ 1 1 1 によるチェック処理とを行う必要があり、實際上、このような高速チェック処理は困難であるから、結果的には、従来の試験装置は、低負荷状態に於ける試験が可能であるに過ぎないものであった。

【 0 0 1 3 】

従って、従来のパケット中継装置の試験装置は、比較的低速のパケット伝送機能について試験を行うものであり、その場合も、送信パケット数と受信パケット数とが一致するか否か等の試験機能を備えている場合が一般的であり、又低速の場合は、試験データの正常性の試験機能等を備える場合もある。即ち、高速伝送用のパケット中継装置又はこれを含むネットワークの従来の試験に於いては、試験データの正常性を含めてチェックを行うことができないものであった。

【 0 0 1 4 】

又パケット中継装置は、実際にネットワークに接続した時に、所定期間内毎に接続されている端末或いは他の中継装置等の正常性を確認できるように、少なくともその所定期間毎にパケット中継装置宛の特殊なパケットを送出する機能を備えているものであり、従って、パケット中継装置の試験装置に於いても、このような機能を必要とすることになる。しかし、従来の試験装置は、前述のように、高速伝送用のパケット中継装置の最大伝送帯域の試験が不可能に近いものであるから、このような特殊なパケットの送出機能を備えたものは提供されていなかった。

【 0 0 1 5 】

本発明は、高速伝送用のパケット中継装置に対する過負荷試験や帯域保証機能試験等を可能とし、又試験パケットをフルワイヤで送信中に単発で特殊なパケットを挿入送出することを可能とすることを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の試験装置は、図 1 を参照して説明すると、アドレスを含むヘッダ部と、伝送するデータを含むデータ部とを有するパケットを、前記アドレスを基にネットワークに送出する機能を有するパケット中継装置 1 0 等を試験する試験装置 1 であって、試験データを生成してデータ部に付加して送出する試験パケット送

信部 2 を備え、この試験パケット送信部 2 は、試験パケット発生部 2 b と、送信制御部 2 a を含む構成であり、又試験パケット発生部 2 b は、ヘッダ部に付加するアドレスを設定値に従って順次更新して出力する手段と、データ部に付加するテストデータを設定値に従って固定又は順次更新して出力する手段とを有し、送信制御部 2 a は、パケットのフォーマットに従って、アドレスをヘッダ部に付加し、且つテストデータをデータ部に付加した試験パケットを送出する制御手段を有するものである。なお、2 c は送信インタフェース部、3 c は受信インタフェース部、4 は主制御部を示す。

【 0 0 1 7 】

又試験パケット発生部 2 b は、プロトコルヘッダ生成部と、識別子生成部と、シリアル番号生成部と、テストデータ生成部とを含み、プロトコルヘッダ生成部は、初期値データと終値データとによる範囲内のアドレスをパケット送出毎に更新する手段を有し、テストデータ生成部は、設定値に従ったデータ長で且つ疑似ランダムデータ、インクリメントデータ、デクリメントデータ又は固定データの少なくとも何れか一つのテストデータを出力する手段を有するものである。又定期的にパケットを送出して、パケット中継装置に生存通知等を行う制御パケットをプロセッサの制御によって書込み、送信制御部によって制御パケットを読み出して送出する制御データ用メモリを備えることができる。

【 0 0 1 8 】

又アドレスを含むヘッダ部と、伝送するデータを含むデータ部とを有するパケットを受信してパケット中継装置等の試験を行う試験装置であって、パケット中継装置やネットワーク等を介して出力されるパケットを受信してチェックする試験パケット受信部 3 を備え、この試験パケット受信部 3 は、試験パケットチェック部 3 b と受信制御部 3 a とを含み、試験パケットチェック部 3 b は、ヘッダ部に付加されたアドレスと、データ部に付加されたシリアル番号やテストデータとをチェックする手段を有し、受信制御部 3 a は、パケットのフォーマットに従ったタイミングで試験パケットチェック部 3 b のチェック動作を行わせる制御手段を有するものである。又試験パケットチェック部 3 b は、プロトコルヘッダチェック部と、識別子チェック部と、シリアル番号チェック部と、テストデータチェ

ック部とを含み、受信制御部 3 a の制御により、受信パケットのフォーマットに従ったタイミングでチェック動作を行う構成を有するものである。

【 0 0 1 9 】

【発明の実施の形態】

図 1 は本発明の原理説明図であり、1 は試験装置、2 は試験パケット送信部、3 は試験パケット受信部、4 は主制御部、2 a は送信制御部、2 b は試験パケット発生部、2 c は送信インタフェース部、3 a は受信制御部、3 b は試験パケットチェック部、3 c は受信インタフェース部、1 0 は被試験装置としてのパケット中継装置を示す。なお、被試験装置としては、パケット中継装置 1 0 を含むネットワークとすることも可能である。又パケットは、データに、その送信先を示すアドレスを付加したものであり、イーサネット (E t h e r n e t) 等に於けるフレームも意味するものであって、このようなフレームと称されるものを含めて「パケット」と総称する。又試験パケットは、データ部にテストデータを付加したパケットを称するものである。

【 0 0 2 0 】

試験装置 1 は、主制御部 4 により試験パケット送信部 2 と試験パケット受信部 3 とを制御する構成の場合を示し、試験パケット送信部 2 は、試験パケット発生部 2 b と送信制御部 2 a と送信インタフェース部 2 c とを含み、又試験パケット受信部 3 は、試験パケットチェック部 3 b と受信制御部 3 a と受信インタフェース部 3 c とを含む構成を有する。又複数の入出力ポートを有するパケット中継装置 1 0 を試験する為の試験装置 1 は、ポート対応の試験パケット送信部 2 及び試験パケット受信部 3 を設けた構成とし、それぞれのポート間をケーブルで接続する。図示の場合、パケット中継装置 1 0 の一方のポートから他方のポートにパケットを中継送出するように、一方のポートと試験パケット送信部 2 とをケーブルで接続し、他方のポートと試験パケット受信部 3 とをケーブルで接続した状態を示す。

【 0 0 2 1 】

又試験装置 1 としては、パケット中継装置 1 0 又はこれを含むネットワークの過負荷試験等を行う場合は、試験パケット送信部 2 の機能のみを有する構成とす

ることができる。又パケット中継装置 1 0 又はこれを含むネットワークからのパケットを受信して、伝送誤り率の測定や、単位時間内の受信パケット数等による帯域保証試験等を行う場合は、試験パケット受信部 3 の機能のみを有する構成とすることができる。

【 0 0 2 2 】

試験パケット送信部 2 の試験パケット発生部 2 b は、送信制御部 2 a の制御によって、設定した範囲内の送信先アドレス等を高速で発生する機能や、設定したデータ長のテストデータを高速で発生する機能等を含み、送信インタフェース部 2 c から、送信先アドレスと送信元アドレスとを含むヘッダ部と、テストデータを含むデータ部とからなる試験パケットを送出するものである。

【 0 0 2 3 】

又試験パケット受信部 3 の試験パケットチェック部 3 b は、受信制御部 3 a の制御に従って、受信インタフェース部 3 c を介して受信した試験パケットのヘッダ部のアドレスのチェック機能やデータ部のテストデータのチェック機能を有するものである。それぞれのチェック結果は、主制御部 4 に転送し、図示を省略した表示部に表示するか、又はパーソナルコンピュータに転送して、集計処理や表示を行わせることができる。

【 0 0 2 4 】

図 2 は本発明の実施の形態の試験パケット送信部の説明図であり、1 1 はプロセッサ (CPU)、1 2 はプログラムメモリ (PM)、1 3 は CPU バス、1 4 は試験パケット発生部、1 5 は送信制御回路、1 6 は MAC レイヤ制御部 (MAC)、1 7 は物理レイヤ制御部 (PHY)、1 8 は送信バス (TB)、2 1 はプロトコルヘッダ生成部 (PHG)、2 2 は識別子生成部 (IDG)、2 3 はトシリアル番号生成部 (SNG)、2 4 はテストデータ生成部 (TDG)、2 5 はバス切替回路 (SW1) を示す。

【 0 0 2 5 】

試験パケット発生部 1 4 は、図 1 の試験パケット発生部 2 b に相当し、送信制御回路 1 5 は、図 1 の送信制御部 2 a に相当し、MAC レイヤ制御部 1 6 及び物理レイヤ制御部 1 7 は、図 1 の送信インタフェース部 2 c に相当し、プロセッサ

11は、図1の主制御部4の機能に相当する。又プロトコルヘッダ生成部21を第1の出力手段とし、識別子生成部22とシリアル番号生成部23とテストデータ生成部24とを含む構成を第2の出力手段とし、バス切替回路25による機能を選択手段とした試験パケット発生部と、送信制御回路15に相当する機能を送信制御手段とした試験装置を示している。

【0026】

図2に於いて、プロセッサ11は、プログラムメモリ12に格納されたプログラムに従って各部を制御すると共に、試験開始時に、CPUバス13を介して試験パケット発生部14に対して初期値等を設定し、送信制御回路15に試験パケットの送出を指示する。この場合の初期値等は、例えば、プロトコルヘッダ生成部21に対しては、送信先アドレスや送信元アドレスの初期値を設定し、その変更範囲を設定することができる。又識別子生成部22に対しては、通常は、固定の試験パケット識別子を設定することになるが、パケットに付加する識別子を変更可能の構成とすることもできる。

【0027】

又シリアル番号生成部23は、送信先アドレス対応にテストデータを含む試験パケットにシリアル番号を付加するもので、送信先アドレス数等を設定することになる。又テストデータ生成部24は、疑似ランダムデータと、順次値が増加するインクリメントデータと、順次値が減少するデクリメントデータとの少なくとも何れか一つのテストデータを生成する機能を有するものであり、これらの何れかのテストデータを選択設定することになる。なお、図示を省略したパーソナルコンピュータから前述の初期値等を設定する構成とすることも可能である。

【0028】

送信制御回路15は、CPUバス13を介して試験開始の指示を受信すると、フォーマットに従ったタイミングで、プロトコルヘッダ生成部21からの送信先アドレスと送信元アドレスと、識別子生成部22からの試験パケット識別子と、シリアル番号生成部23からのシリアル番号と、テストデータ生成部24からのテストデータとを含む試験パケットを形成するように、それぞれ制御すると共に、バス切替回路25を制御し、このバス切替回路25から送信バス18を介して

MACレイヤ制御部16に転送し、フレームチェックシーケンス(FCS)等のチェックデータを付加して物理レイヤ制御部17から、図示を省略したパケット中継装置又はそれを含むネットワークに試験パケットを送出することになる。

【0029】

又プロトコルヘッダ生成部21と識別子生成部22とシリアル番号生成部23とテストデータ生成部24とに、それぞれ送信バス18に接続する為のトライステートゲート等のゲート回路を設け、バス切替回路25と同様なフォーマット形成タイミングに従って送信制御回路15からゲート回路を制御し、テストデータを付加した試験パケットをMACレイヤ制御部16に転送する構成とすることも可能である。

【0030】

図3は試験パケットの説明図であり、(a)は試験パケットのフォーマットの概要を示し、(b)はIPプロトコルヘッダのフォーマットの一例を示す。ヘッダ部のプロトコルヘッダは、(b)に示すように、MAC(Media Access Control)アドレスとして、送信先MACアドレスと、送信元MACアドレスと、タイプ値と、バージョンと、ヘッダ長と、サービスタイプと、IPパケットの全長と、フラグメントIDと、フラグと、フラグメントオフセットと、生存時間と、上位プロトコルタイプと、IPヘッダチェックサムと、IP(Internet Protocol)アドレスとしての送信元IPアドレスと送信先IPアドレスとを含み、送信元IPアドレスと送信先IPとは、上位と下位とに別けて表示してあり、又括弧内はビット数を示す。このプロトコルヘッダは、図2に於けるプロトコルヘッダ生成部21に於いて生成することができる。

【0031】

又データ部は、識別子(ID)と、シリアル番号(SN)と、テストデータとを含み、識別子(ID)は、図2に於ける識別子生成部22に於いて生成することができる。又シリアル番号(SN)は、図2に於けるシリアル番号生成部23に於いて生成することができる。又テストデータは、テストデータ生成部24に於いて生成することができ、このテストデータは、データ長を所定の範囲内で任意に設定することができるものである。

【 0 0 3 2 】

図 4 はプロトコルヘッダ生成部の説明図であり、2 1 a は送信先 MAC アドレス生成回路 (DMG)、2 1 b は送信元 MAC アドレス生成回路 (SMG)、2 1 c はタイプ値生成回路 (TPG)、2 1 d は IP ヘッダ生成回路 (IHG)、2 1 e はパケット長生成回路 (PLG)、2 1 f は送信元 IP アドレス生成回路 (SIG)、2 1 g は送信先 IP アドレス生成回路 (DIG)、2 1 h はプロトコルヘッダ生成制御回路 (PHGC)、2 1 i は選択／ラッチ回路 (SLL) を示す。

【 0 0 3 3 】

プロトコルヘッダ生成部 2 1 の各生成回路 2 1 a ～ 2 1 g は、図 3 の (b) のプロトコルヘッダのフォーマットの各パラメータに対応した値を生成して出力する。又各生成回路 2 1 a ～ 2 1 g は、プロセッサから CPU バスを介してそれぞれ初期値や動作モードが設定され、その設定内容に従った動作を実行する。又送信開始時には、プロセッサより、図 2 の送信制御回路 1 5 に送信開始指示が行われることにより、この送信制御回路 1 5 は、プロトコルヘッダ生成回路 2 1 に対してイネーブル信号を送出し、プロトコルヘッダ生成制御回路 2 1 h は、図 3 の (b) のプロトコルヘッダのフォーマットに従って各生成回路 2 1 a ～ 2 1 g のタイミング制御等を行い、且つ選択／ラッチ回路 2 1 i に対してもタイミング制御を行って、図 2 のバス切替回路 2 5 に、プロトコルヘッダのフォーマットに従ったアドレスデータを出力することになる。

【 0 0 3 4 】

図 5 はアドレス生成の概要の説明図であり、3 1 - 1 ～ 3 1 - n はアドレス単位部、3 2 はカウンタ、3 3 はレジスタ等により構成した初期値設定部、3 4 はレジスタと比較器等により構成した終値判定部を示す。例えば、図 3 に於けるプロトコルヘッダの送信先 MAC アドレスと送信元 MAC アドレスとは、それぞれ 6 バイト構成である。又送信元 IP アドレスと送信先 IP アドレスとは、それぞれ 4 バイト構成の場合を示し、IP バージョン 4 の場合を示している。なお、IP バージョン 6 の場合は、送信元 IP アドレスと送信先 IP アドレスとは、それぞれ 1 6 バイト構成となる。

【 0 0 3 5 】

そこで、アドレス単位部 3 1 - 1 ~ 3 1 - n を、それぞれのアドレスのバイト単位、又は送信先 MAC アドレスや送信元 MAC アドレス等のアドレスの種類対応の構成とすることができる。例えば、アドレス単位部 3 1 - 1 を、6 バイト構成の送信先 MAC アドレスに対応させた構成とすると、カウンタ 3 2 は、この 6 バイト構成のアドレスを出力できる構成とし、プロセッサ (CPU) から CPU バスを介して、送信先 MAC アドレスの最初のアドレスを初期値データとして、初期値設定部 3 3 に設定する。又送信先 MAC アドレスの最後のアドレスを終値データとして終値判定部 3 4 に設定する。

【 0 0 3 6 】

そして、初期値設定部 3 3 の初期値データをカウンタ 3 2 の初期値として設定し、パケットの送出タイミングに従ったカウントアップクロック信号を、プロトコルヘッダ生成制御回路 2 1 h から供給してカウントアップさせる。このカウンタ 3 2 のカウント値を終値判定部 3 4 で終値データと比較し、一致すると、カウンタ 3 2 をクリアして初期値設定部 3 3 からの初期値データを設定し、再びカウントアップ動作を行わせる。

【 0 0 3 7 】

従って、カウンタ 3 2 のカウント値を送信先 MAC アドレスとして、バス切替回路に転送することにより、設定した範囲の送信先 MAC アドレスを、パケット送出毎に高速で順次更新して送出することができる。又送信元 MAC アドレスについても同様であり、又 IP アドレスの送信先 IP アドレス及び送信元 IP アドレスの生成についても同様の構成とすることにより、メモリにアドレスを書込み、それを読出す処理を繰り返しアドレスを更新する場合に比較して、高速で所望の範囲のアドレスを順次発生することができる。

【 0 0 3 8 】

又パケット長生成回路 2 1 e は、パケット毎に IP ヘッダ内の全長 (IP パケットヘッダを含む全データ長を示す) の値を生成し、選択 / ラッチ回路 2 1 i へ出力するが、この値と同じ値をパケット長情報として送信制御回路 1 5 (図 2 参照) へ出力する。この値については、送信制御回路 1 5 に於いて一旦ラッチし、

テストデータ生成回路 2 4 の制御時に、この値を基に、送信制御回路 1 5 は、プロトコルヘッダに格納した全長と、実際に伝送路へ送出されるパケットの長さとの矛盾が発生しないように、テストデータ生成部 2 4 に対するイネーブル信号の長さや数等の制御を行う。なお、パケット長生成部 2 1 e が出力する値については、前述の送信先 MAC アドレス等と同様に、固定値以外に、パケット毎に可変（例えば、ランダム、インクリメント、デクリメント等）とする制御も可能である。この場合、パケット毎に変化する全長の値が、パケット長情報として、送信制御回路 1 5 に通知される為、実際に伝送路に出力するパケットについても、正しいパケットの送信が可能となる。

【 0 0 3 9 】

識別子は、本発明に於ける試験装置の受信側に於いて、送信側の装置が送信したパケットであることを認識／チェック可能とする為のものであり、パケット毎に変更する必要がない場合が一般的である。従って、識別子生成部 2 2 は、レジスタ構成として、プロセッサ 1 1 から設定した固定値とし、送信制御回路 1 5 からの制御に従ってバス切替回路 2 5 に転送することができる。

【 0 0 4 0 】

又シリアル番号生成部 2 3 は、同一アドレスの試験パケットに対してシリアル番号を付加するものであり、1 個又は複数個のカウンタにより構成することができる。そして、1 パケット毎にインクリメントしたり、その他、例えば、送信先 MAC アドレスのみを設定範囲内で順次更新して出力する設定の場合、図 5 に於けるカウンタ 3 2 が初期値から終値になる毎にインクリメントする 1 個のカウンタを設け、そのカウンタのカウント値を、各送信先 MAC アドレス対応のシリアル番号とすることもできる。

【 0 0 4 1 】

又テストデータ生成部 2 4 は、図 6 に示す構成とすることができる。即ち、疑似ランダムデータ発生器（PNG）3 5 と、インクリメントデータ発生器（ING）3 6 と、デクリメントデータ発生器（DEG）3 7 と、固定データ設定部（CN）3 8 との何れか 1 個又は複数個と、セレクタ 3 9 とを含む構成を有し、テストデータの種別に従って、初期値、終値等を設定値としてプロセッサから設定

し、且つセクタ 3 9 に、送信制御回路 1 5 から選択制御信号を加えて、テストデータ種別に従ったデータ発生器の選択を行い、送信制御回路よりカウントアップクロック信号を選択的に供給する。

【 0 0 4 2 】

又疑似ランダムデータ発生器 3 5 は、シフトレジスタやゲート回路を含み、既に知られている各種の構成を適用することができるものであり、その場合に、データ長も変更可能の構成とする。例えば、カウントアップクロック信号として示すクロック信号に従ってシフト動作するシフトレジスタの所定段の出力の選択等の構成を適用することができる。又インクリメントデータ発生器 3 6 はアップカウンタにより構成し、カウントアップクロック信号によりカウントアップし、そのカウント値をテストデータとする。

【 0 0 4 3 】

又デクリメントデータ発生器 3 7 は、ダウンカウンタにより構成し、設定値から、カウントアップクロック信号として示すクロック信号によってダウンカウントした値をテストデータとする。このインクリメントデータ発生器 3 6 とデクリメントデータ発生器 3 7 との何れかによるテストデータのデータ長は、設定値に従ったビット数の選択により決定することができる。又インクリメントデータ発生器 3 6 とデクリメントデータ発生器 3 7 とを共通化、クロック信号をアップカウントするか又はダウンカウントするかを制御する構成とすることもできる。

【 0 0 4 4 】

又疑似ランダムデータ発生器 3 5 とインクリメントデータ発生器 3 6 とデクリメントデータ発生器 3 7 とのそれぞれは、試験パケットの送出毎に変更する場合は、それに対応したクロック信号 C L K を加えることになる。又はシリアル番号と同様に送信先アドレスを順次変更して一巡する毎に、異なる疑似ランダムデータ又はインクリメントデータ又はデクリンメントデータを出力するように、クロック信号 C L K を加える制御構成とすることもできる。

【 0 0 4 5 】

又固定データ設定部 3 8 は、プロセッサから設定された固定のテストデータを設定値として設定するレジスタ等により構成することができるものであり、設定

されたデータを、パケットのデータ部に、テストデータとして付加するものである。従って、そのテストデータを変更する場合は、プロセッサから再度テストデータとして設定することになる。

【 0 0 4 6 】

又送信制御回路 1 5 からテストデータ生成部 2 4 に対する図 6 に示すカウントアップクロック信号等については、前述のプロトコルヘッダ生成部 2 1 から送信制御回路 1 5 に出力されたパケット長情報に従って、プロトコルヘッダ内の I P パケット全長に対して正しいデータ長を付加するように制御されて、プロトコルヘッダ内の I P パケット全長の値と、実際のパケットの長さとは正しくなるようにしている。

【 0 0 4 7 】

図 7 は本発明の実施の形態の試験パケット受信部の説明図であり、4 1 はプロセッサ (C P U) 、 4 2 はプログラムメモリ (P M) 、 4 3 は C P U バス、 4 4 は試験パケットチェック部、 4 5 は受信制御回路、 4 6 は M A C レイヤ制御部 (M A C) 、 4 7 は物理レイヤ制御部 (P H Y) 、 4 8 は受信バス (R B) 、 5 1 はプロトコルヘッダチェック部 (P H C) 、 5 2 は識別子チェック部 (I D C) 、 5 3 はシリアル番号チェック部 (S N C) 、 5 4 はテストデータチェック部 (T D C) 、 5 5 はバス切替回路 (S W 2) を示す。

【 0 0 4 8 】

受信パケットチェック部 4 4 は、図 1 の受信パケットチェック部 3 b に相当し、受信制御回路 4 5 は、図 1 の受信制御部 3 a に相当し、プロセッサ 4 1 は、図 1 の主制御部 4 の機能に相当し、 M A C レイヤ制御部 4 6 と物理レイヤ制御部 4 7 との機能は、図 1 の受信インタフェース部 3 c に相当する。

【 0 0 4 9 】

図示を省略したパケット中継装置又はそれを含むネットワークからのテストデータを含む試験パケットを、物理レイヤ制御部 4 7 と M A C レイヤ制御部 4 8 とを介して試験パケットチェック部 4 4 と受信制御回路 4 5 とに転送し、受信制御回路 4 5 は受信バス 4 8 上のパケットのプロトコルを解析する。又 M A C レイヤ制御部 4 8 に於いて識別したパケットの先頭を示すスタート信号と、最後部を示

すストップ信号とを受信制御回路 4 5 に加える。又プロセッサ 4 1 は、プログラムメモリ 4 2 に格納されたプログラムに従って各部を制御し、又試験開始時に、試験パケットチェック部 4 4 に対して試験項目に対応した値を設定する。

【 0 0 5 0 】

受信制御回路 4 5 は、パケットの先頭を示すスタート信号を基に、パケットのフォーマットに従ったタイミングでバス切替回路 5 5 を制御して、ヘッダ部のプロトコルヘッダを、プロトコルヘッダチェック部 5 1 に入力し、次のデータ部の識別子を、識別子チェック部 5 2 に入力し、次のシリアル番号を、シリアル番号チェック部 5 3 に入力し、次のテストデータを、テストデータチェック部 5 4 に入力する。この場合の試験パケットの終端は、受信制御回路 4 5 に於けるプロトコル解析又は MAC レイヤ制御部 4 6 からのパケットの終り示すストップ信号によって識別することができる。即ち、可変長のテストデータを試験データチェック部 5 4 に入力することができる。

【 0 0 5 1 】

各チェック部は、パケット中継装置の試験項目等に対応してプロセッサ 4 1 からチェックすべき事項が設定され、それに基づいてチェックを行い、そのチェック結果を集計或いはエラー検出時にプロセッサ 4 1 へ通知し、プロセッサ 4 1 に於いて集計することができる。例えば、プロトコルヘッダチェック部 5 1 は、設定された送信先アドレスのパケットを受信したか否かをチェックする構成とすることができる。又識別子チェック部 5 2 は、設定された識別子が付加されている否かをチェックする構成とすることができる。

【 0 0 5 2 】

又シリアル番号チェック部 5 3 は、パケットのデータ部のシリアル番号について、連続してインクリメントされているか否かをチェックするものであり、例えば、記憶しておいた前回のパケットのシリアル番号と今回のパケットのシリアル番号との比較等の手段によって容易に実現することができる。又テストデータチェック部 5 4 は、テストデータが疑似ランダムデータか、インクリメントデータか、デクリメントデータか、又は固定データか等について予め設定されるから、その設定内容に従ったチェック手段を選択する構成とするものである。

【 0 0 5 3 】

又受信制御回路 4 5 は、MAC レイヤ制御部 4 6 からのスタート信号を単位時間対応にカウントアップし、カウント結果をプロセッサ 4 1 に転送することにより、試験パケットのフォーマットのタイミングに従って、バス切替回路 5 5 の切替制御や、各チェック部のチェック動作の制御等を行う構成とするもので、帯域保証の特性や過負荷時の特性等を試験することができる。又各チェック部に於けるエラー検出結果を基に、プロセッサ 4 1 はパケット中継装置又はこれを含むネットワークの誤り率を測定することも可能である。従って、フルワイヤ機能のパケット中継装置又はこれを含むネットワークからの試験パケットを受信処理して、その性能試験を行うことができる。

【 0 0 5 4 】

図 8 は本発明の実施の形態の制御データ送出機能を含む試験パケット送信部の説明図であり、図 2 と同一符号は同一の機能部分を示し、2 6 は制御データ用メモリ (I F M) を示す。パケット中継装置又はこれを含むネットワークに於いて、例えば、ARP (Adress Resolution Protocol) に従った制御パケット (制御フレーム) や、RIP (Routing Information Protocol) による制御パケット (制御フレーム) 、或いは、ネットワークの経路情報や特定の通信を継続させる為に、定期的に送受信を行う必要がある制御パケットを伝送することが要求される場合がある。即ち、テストデータを含む試験パケットを試験装置から送受信する場合も、このような制御パケットを定期的に送信する機能を必要とする場合がある。

【 0 0 5 5 】

そこで、制御データ用メモリ 2 6 を設け、プロセッサ 1 1 から前述の制御パケットを、CPU バス 1 3 を介して制御データ用メモリ 2 6 に書込み、送信制御回路 1 5 は、テストデータを付加した試験パケットの送出制御を行うと共に、プロセッサ 1 1 からの指示に従った現在生成中の試験パケットの出力が終了した辞典で、制御データ用メモリ 2 6 から制御パケットを読出して、バス切替回路 2 5 から送信バス 1 8 に送出する。制御パケットを出力した後は、直ちに、前回の試験パケットの次の試験パケットの出力制御に戻る。即ち、制御データ用メモリ 2 6

に書込んだ制御 packets を、テストデータを付加した試験 packets の連続的な送出の間に、単発的に挿入する状態で送出することができる。なお、図 8 の他の機能部分は、図 2 に説明した構成と同様の動作を行うものであるから、重複した説明は省略する。

【0056】

packet 中継装置の性能等を試験する試験装置として、図 1 に示すように、試験 packet 送信部 2 と試験 packet 受信部 3 とを備えた場合、図 2 に於けるプロセッサ 11 と、図 6 に於けるプロセッサ 41 とを共通化して、主制御部 4（図 1 参照）の機能とすることができる。又前述の各実施の形態のみに本発明は限定されるものではなく、種々付加変更することが可能であり、例えば、プロトコルヘッダ生成部は、送信先アドレスのみを高速で順次更新して出力する構成とする 것도可能であり、その場合、送信先 MAC アドレス生成回路 21a（図 4 参照）のみを設けた構成とし、他は固定とする 것도可能である。

【0057】

（付記 1）アドレスを含むヘッダ部と、伝送するデータを含むデータ部とを有する packet を、前記アドレスを基にネットワークに送出する機能を有する試験装置に於いて、テストデータを生成して前記データ部に付加して送出する試験 packet 送信部を備え、該試験 packet 送信部は、試験 packet 発生部と、送信制御部とを含み、前記試験 packet 発生部は、前記ヘッダ部に付加するアドレスを設定値に従って順次更新して出力する手段と、前記データ部に付加するテストデータを設定値に従って固定又は順次更新して出力する手段とを有し、前記送信制御部は、前記 packet のフォーマットに従って前記アドレスを前記ヘッダ部に付加し、且つ前記テストデータを前記データ部に付加して送出する制御手段を有することを特徴とする試験装置。

【0058】

（付記 2）前記試験 packet 発生部は、プロトコルヘッダ生成部と、識別子生成部と、シリアル番号生成部と、テストデータ生成部とを含み、前記プロトコルヘッダ生成部は、初期値データと終値データとによる範囲内のアドレスを packet 送出毎に更新する手段を有し、前記テストデータ生成部は、設定値に従ったデ

ータ長で且つ疑似ランダムデータ、インクリメントデータ、デクリメントデータ又は固定データの何れかのテストデータを出力する手段を有することを特徴とする付記 1 記載の試験装置。

(付記 3) 前記試験パケット発生部は、定期的にパケットを送出して、パケット中継装置に生存通知等を行う制御パケットをプロセッサの制御によって書込み、前記送信制御部によって該制御パケットを読出して送出する制御データ用メモリを有することを特徴とする付記 1 又は 2 記載の試験装置。

【 0 0 5 9 】

(付記 4) アドレスを含むヘッダ部と、伝送するデータを含むデータ部とを有するパケットを受信して試験を行う試験装置に於いて、パケット中継装置又はネットワークを介して出力されるパケットを受信してチェックする試験パケット受信部を備え、該試験パケット受信部は、試験パケットチェック部と受信制御部とを含み、前記試験パケットチェック部は、ヘッダ部に付加されたアドレスと、データ部に付加されたテストデータとをチェックする手段を有し、前記受信制御部は、前記パケットのフォーマットに従ったタイミングで前記テストデータチェック部のチェック動作を行わせる制御手段を有することを特徴とする試験装置。

【 0 0 6 0 】

(付記 5) アドレスデータを含むヘッダ部と、伝送するデータを含むデータ部とを有する所定のプロトコルに従ったパケットを送信する試験装置に於いて、アドレスデータを含む前記ヘッダ部用のデータを出力する第 1 の出力手段と、試験データを含む前記データ部用のデータを出力する第 2 の出力手段と、前記第 1 の出力手段と前記第 2 の出力手段との何れかの出力を選択的に出力する選択手段とを備えた試験パケット発生部と、所定のプロトコルに従ったパケットが前記選択手段から出力されるように該選択手段を制御する送信制御手段とを有することを特徴とする試験装置。

【 0 0 6 1 】

(付記 6) 試験パケットチェック部は、プロトコルヘッダチェック部と、識別子チェック部と、シリアル番号チェック部と、テストデータチェック部とを含み、前記受信制御部の制御により、受信したパケットのフォーマットに従ったタイ

ミングでチェック動作を行う構成を有することを特徴とする付記 4 記載のパケット中継装置の試験装置。

【 0 0 6 2 】

【発明の効果】

以上説明したように、本発明の試験装置は、試験パケット送信部 2 と試験パケット受信部 3 との何れか一方又は両方を備え、試験パケット送信部 2 は、パケットのヘッダ部に付加するアドレスを設定値に従って順次更新して出力するプロトコルヘッダ生成部 2 1 等の手段と、データ部に付加するテストデータを設定値に従って固定又は順次更新して出力するテストデータ生成部 2 4 等の手段とを含む試験パケット発生部 2 b と、パケットのフォーマットに従って、生成したアドレスをヘッダ部に付加し、且つ生成したテストデータをデータ部に付加する制御手段を有する送信制御部 2 a とを有するもので、所定のアドレスとテストデータとを付加した試験パケットを高速で連続的に送出することが可能であるから、ギガビット・イーサネット用のフルワイヤ機能を有するパケット中継装置 1 0 やこれを含むネットワークの帯域保証試験や過負荷試験等を確実に実行できる利点がある。又制御データ用メモリを設けることにより、定期的に送出する制御パケットを、試験パケットの送出中に単発的に送出することも容易となる。

【 0 0 6 3 】

又試験パケット受信部 3 は、試験パケットチェック部 3 b と受信制御部 3 a とを含み、受信制御部 3 a により、パケットのフォーマットのタイミングに従って試験パケットチェック部 3 b のチェック動作が制御され、ヘッダ部に付加されたアドレスのチェックや、データ部に付加されたテストデータのチェックをそれぞれのチェック部で実行することができるから、ギガビット・イーサネット用のパケット中継装置 1 0 により中継送出されたパケットのチェックも容易であり、フルワイヤ機能のパケット中継装置 1 0 又はこれを含むネットワークに対しても、過負荷試験や帯域保証試験等を確実に実行できる利点がある。

【図面の簡単な説明】

【図 1】

本発明の原理説明図である。

【図 2】

本発明の実施の形態の試験パケット送信部の説明図である。

【図 3】

試験パケットの説明図である。

【図 4】

プロトコルヘッダ生成部の説明図である。

【図 5】

アドレス生成の概要の説明図である。

【図 6】

テストデータ生成部の説明図である。

【図 7】

本発明の実施の形態の試験パケット受信部の説明図である。

【図 8】

本発明の実施の形態の制御データ送出機能を含む試験パケット送信部の説明図である。

【図 9】

試験システムの説明図である。

【図 1 0】

従来の試験パケット送信部の説明図である。

【図 1 1】

従来の試験パケット受信部の説明図である。

【符号の説明】

- 1 試験装置
- 2 試験パケット送信部
 - 2 a 送信制御部
 - 2 b 試験パケット発生部
 - 2 c 送信インタフェース部
- 3 試験パケット受信部
 - 3 a 受信制御部

3 b 試験パケットチェック部

3 c 受信インタフェース部

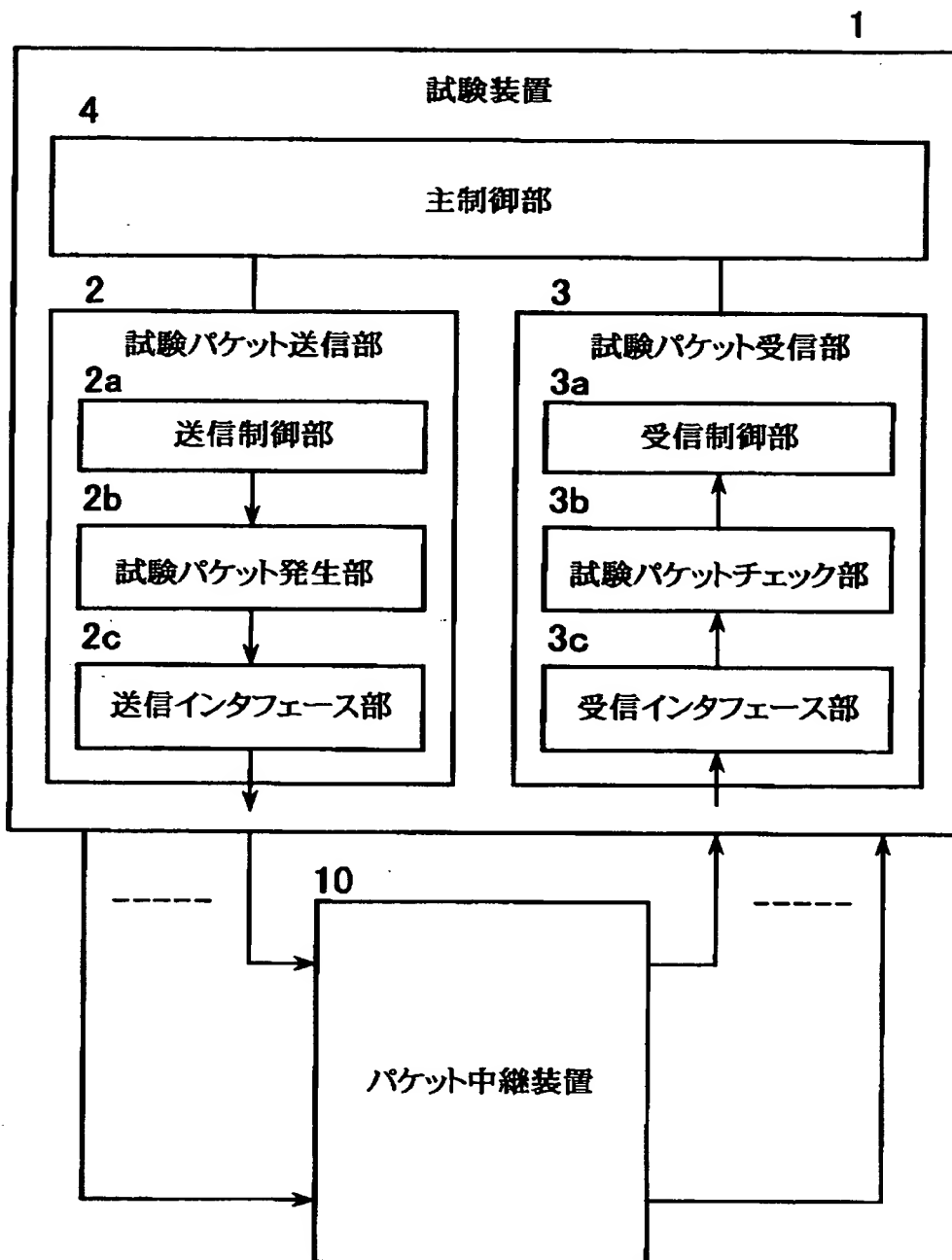
4 主制御部

1 0 パケット中継装置

【書類名】 図面

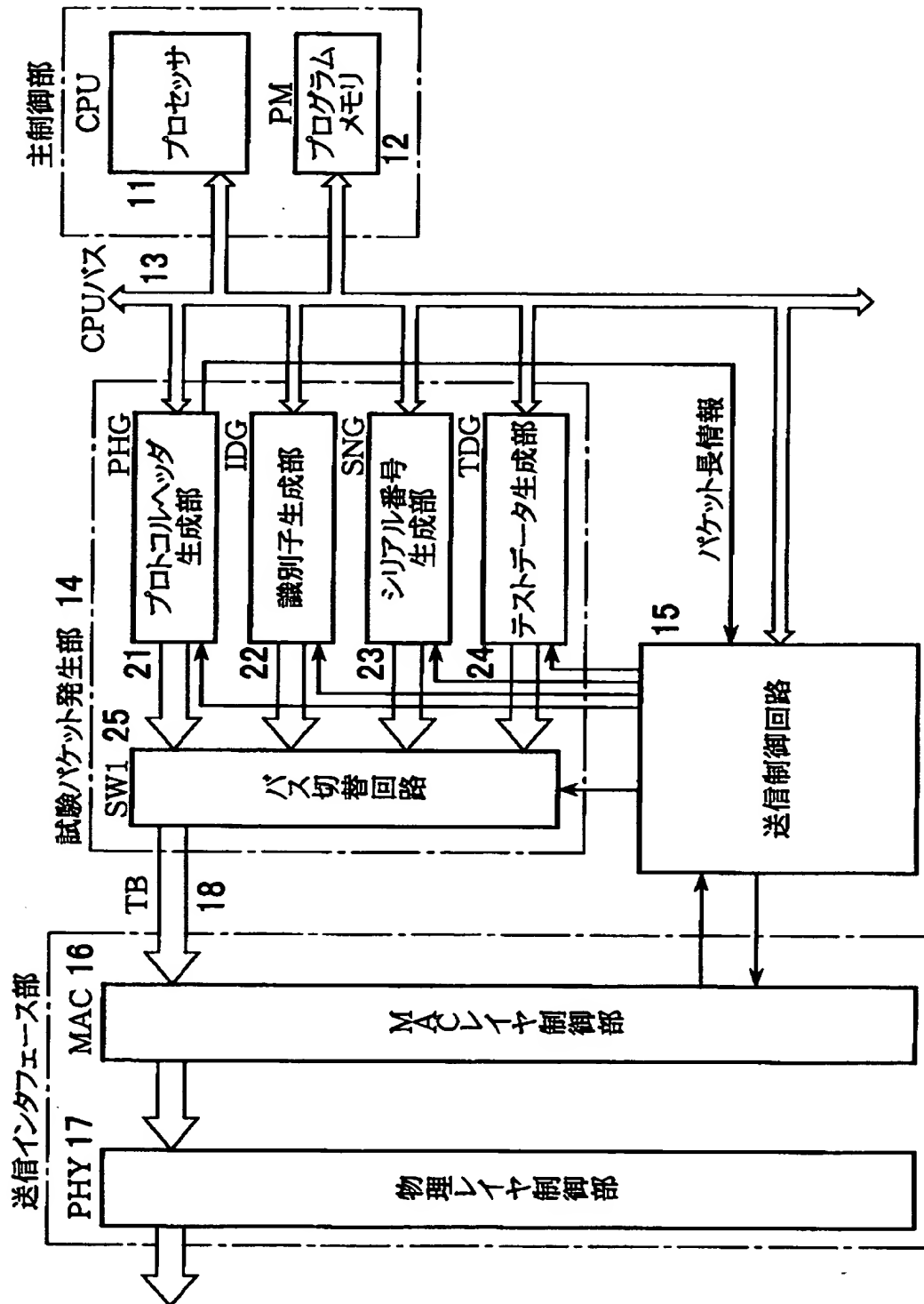
【図 1】

本発明の原理説明図



【図2】

本発明の実施の形態の試験パケット送信部の説明図



【図3】

試験パケットの説明図



(a)

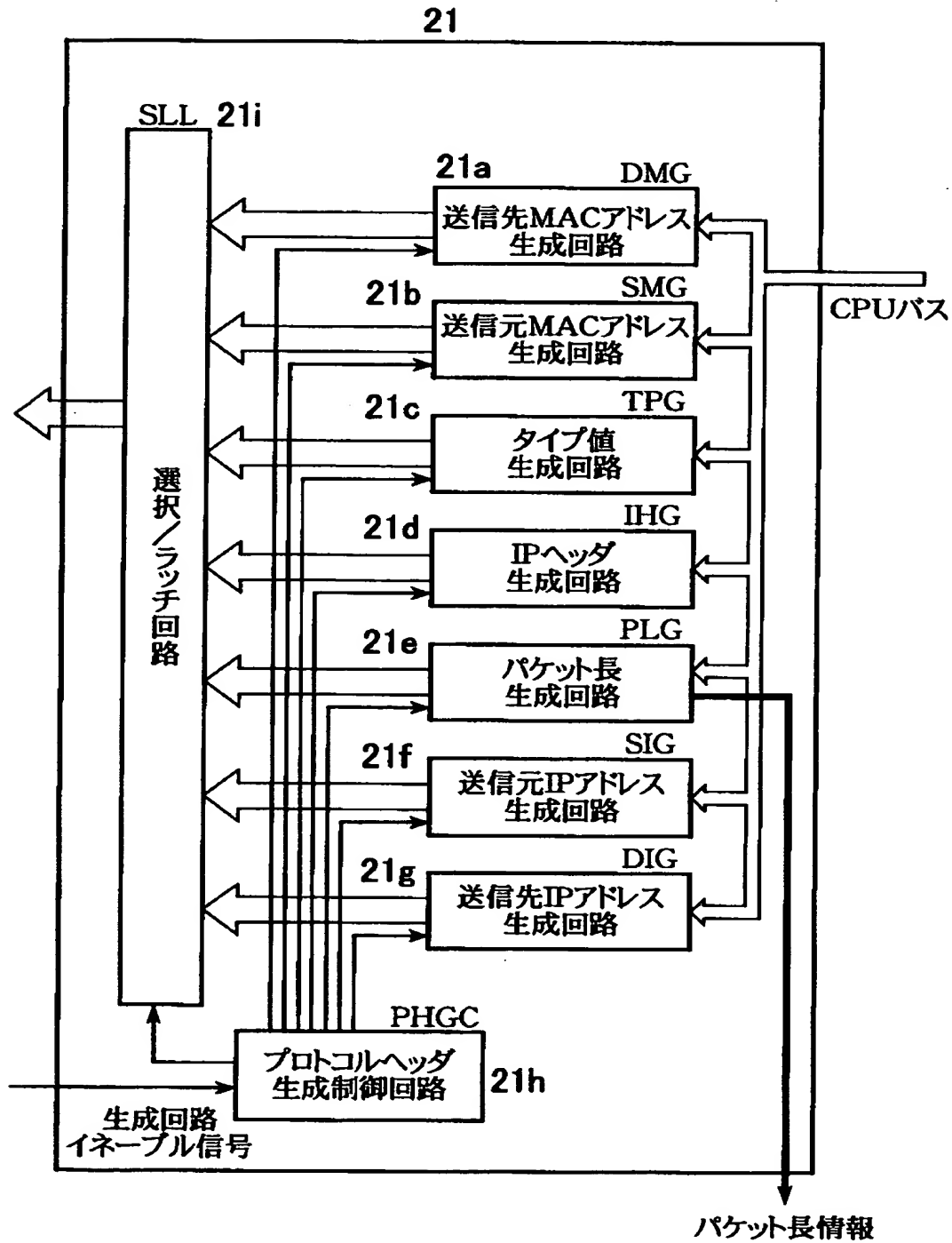
| | | | |
|--------------|-------------|--------------------|--------|
| プロトコル ヘッダ | 識別子 (ID) | シリアル 番号 (SN) | テストデータ |
|--------------|-------------|--------------------|--------|

(b)

| | | | |
|-----------------|-----------------|-----------------|----------------------------|
| 送信先MACアドレス(48) | | | |
| | | 送信元MACアドレス(48) | |
| | | | |
| タイプ値(16) | | バージョン (4) | ヘッダ長 (4) サービスタイプ (8) |
| 全長(16) | | フラグメントID(16) | |
| フラグ (3) | フラグメントオフセット(13) | 生存時間(8) | 上位プロトコルタイプ (8) |
| IPヘッダチェックサム(16) | | 送信元IPアドレス上位(16) | |
| 送信元IPアドレス下位(16) | | 送信先IPアドレス上位(16) | |
| 送信先IPアドレス下位(16) | | | |

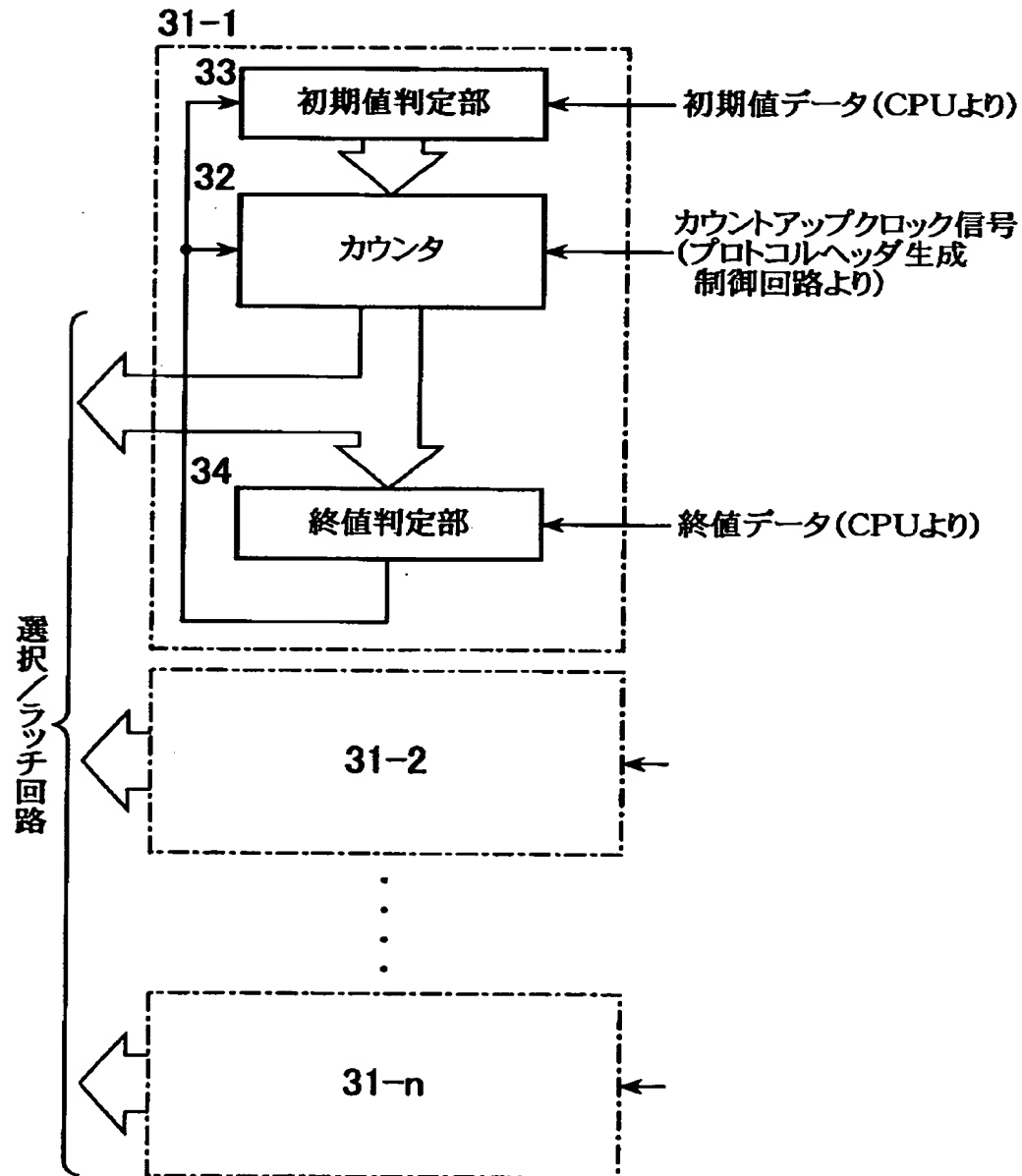
【図4】

プロトコルヘッダ生成部の説明図



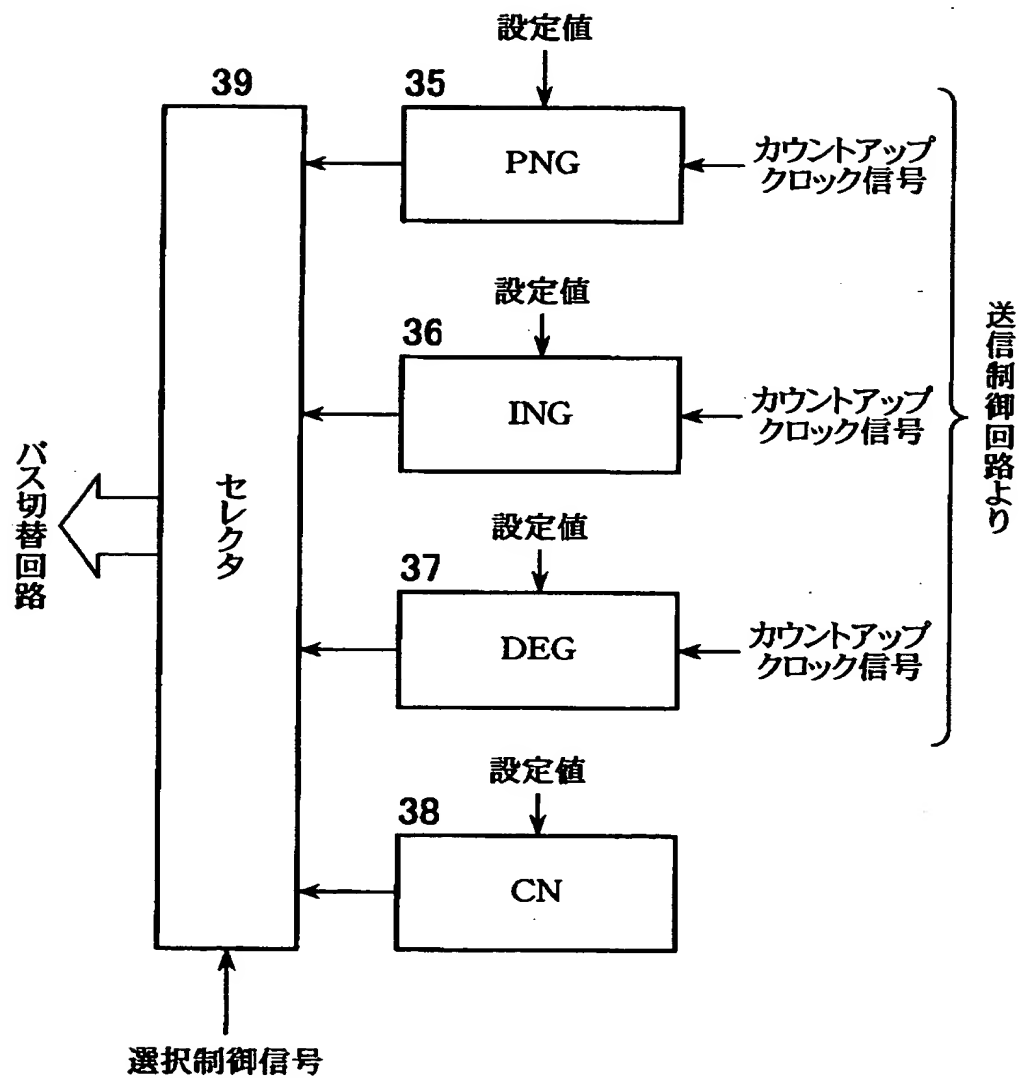
【図5】

アドレス生成の概要の説明図



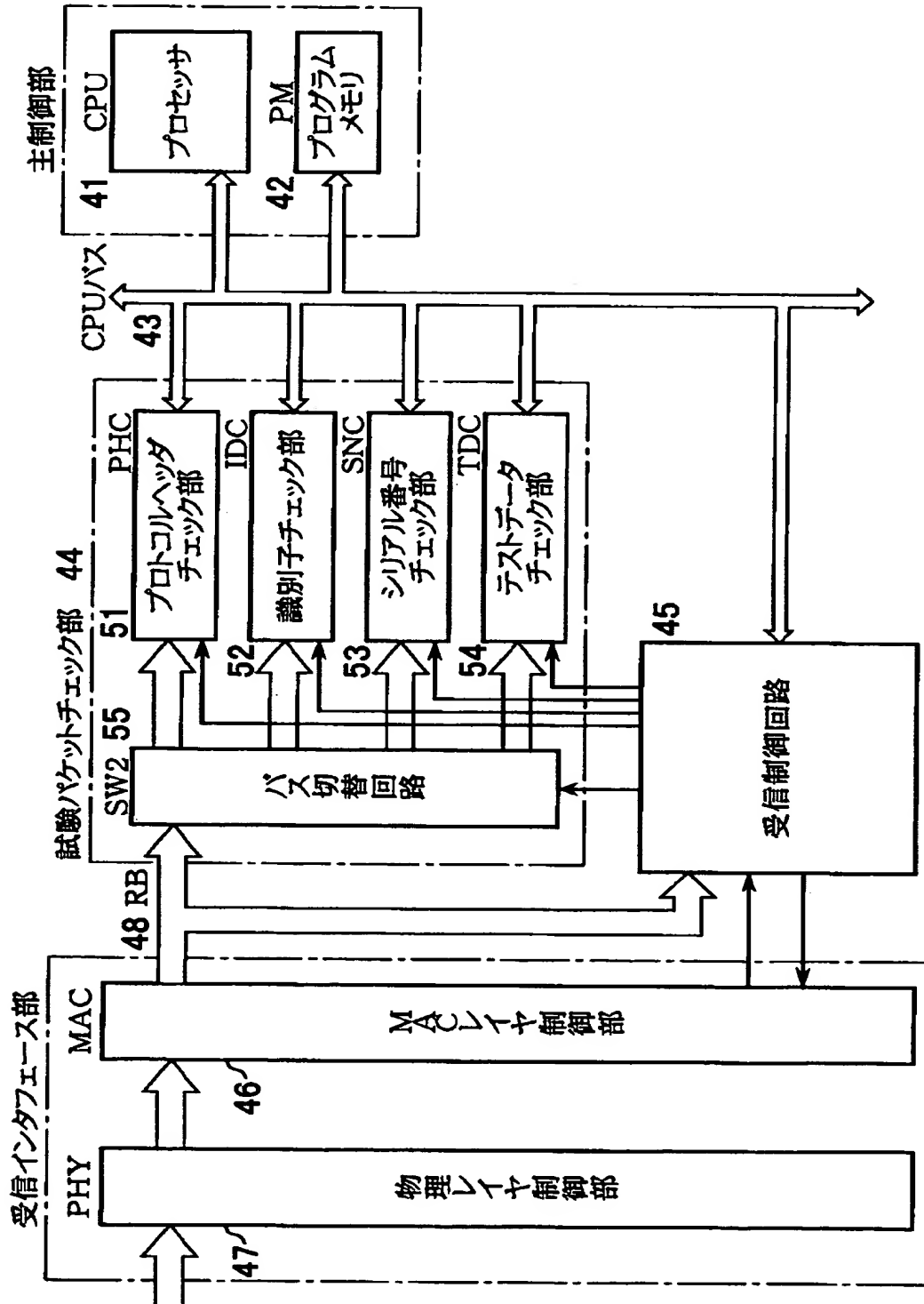
【図 6】

テストデータ生成部の説明図



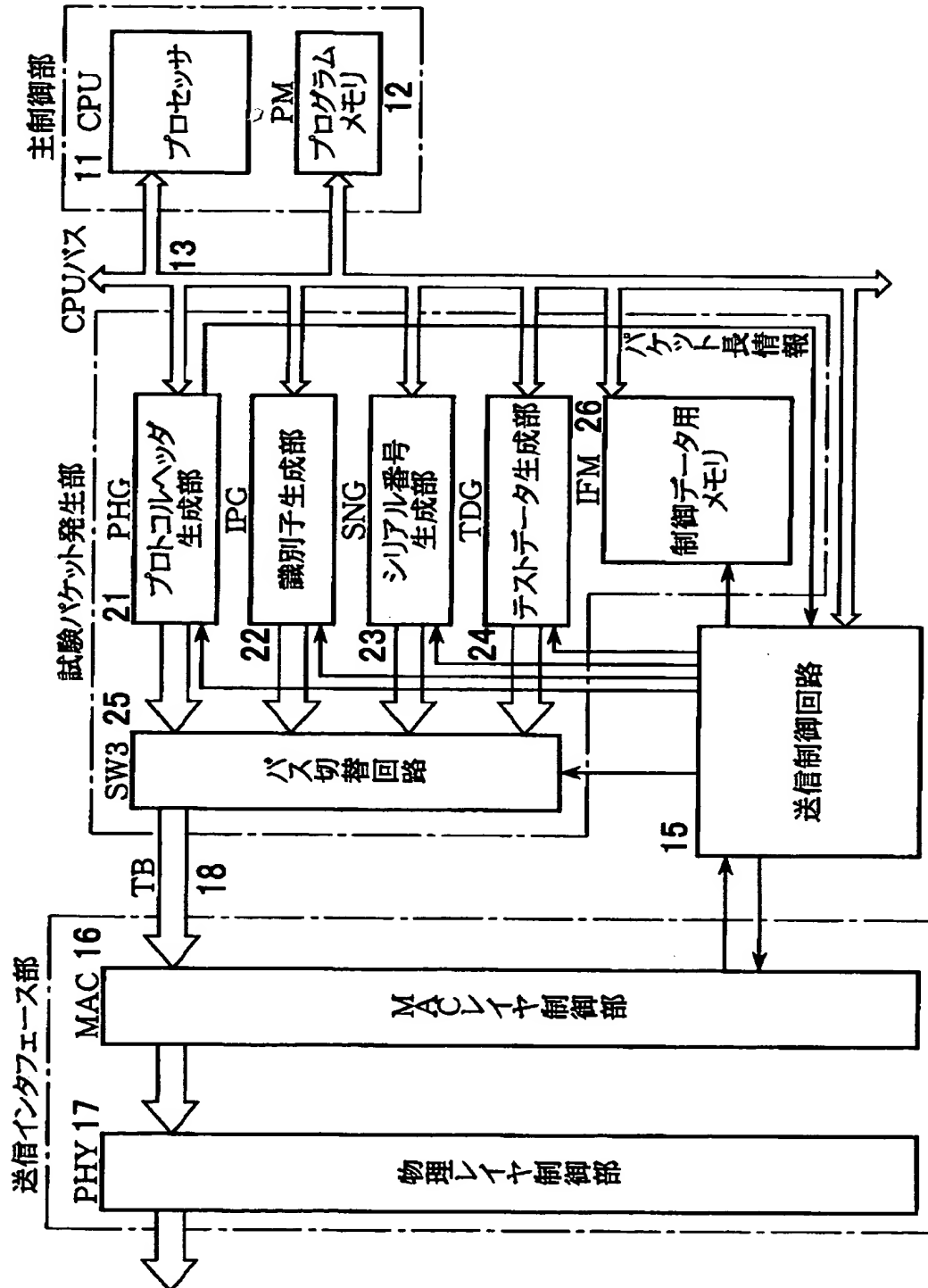
【図 7】

本発明の実施の形態の試験パケット受信部の説明図



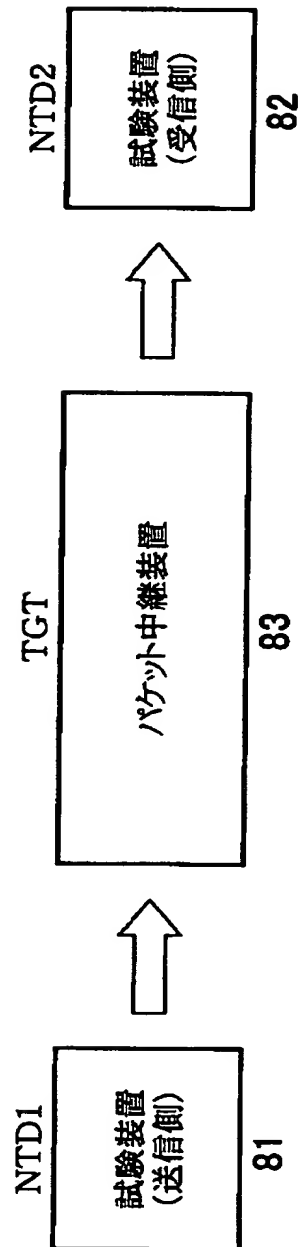
【図8】

本発明の実施の形態の制御データ送出機能を含む
試験パケット送信部の説明図



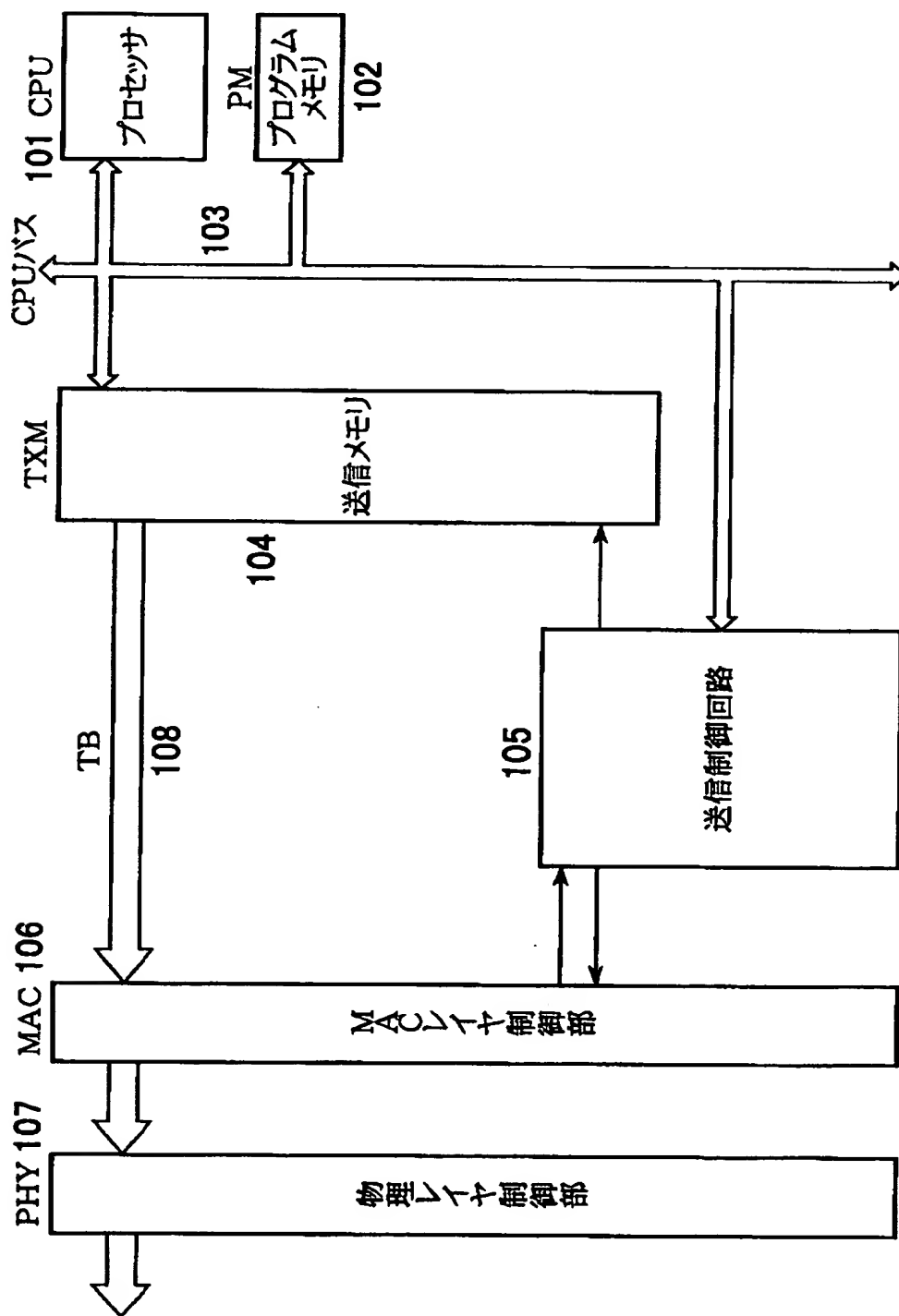
【図 9】

試験システムの説明図



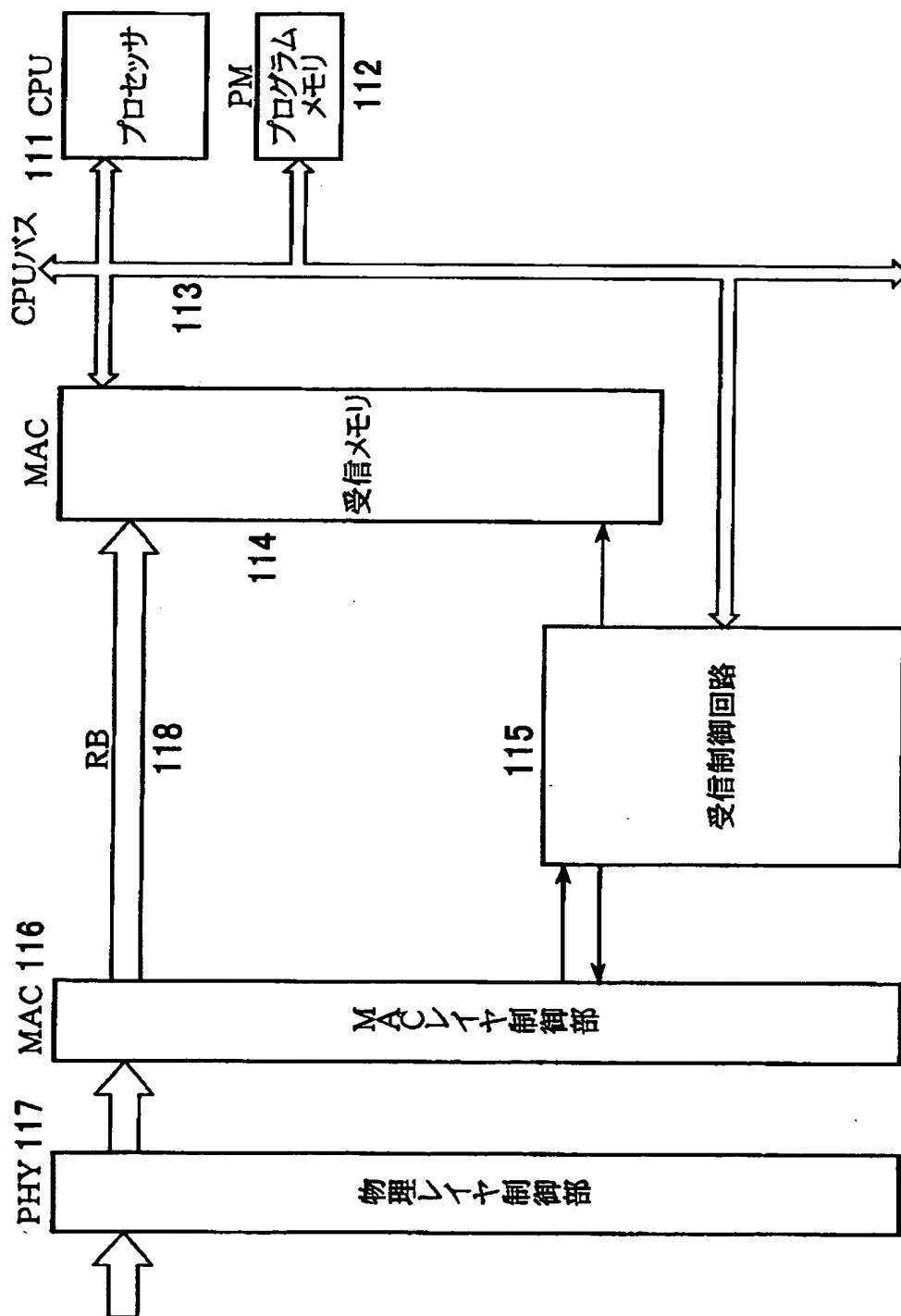
【図 1 0】

従来の試験パケット送信部の説明図



【図11】

従来の試験パケット受信部の説明図



【書類名】 要約書

【要約】

【課題】 パケット中継装置等の性能等を試験する試験装置に関し、パケットを高速中継伝送するパケット中継装置の過負荷試験等を可能とする。

【解決手段】 パケット中継装置 1 0 等を試験する試験装置 1 であって、試験パケット送信部 2 と試験パケット受信部 3 との何れか一方又は両方を含み、試験パケット送信部 2 は、アドレス等を発生する手段と、テストデータを発生する手段とを含む試験パケット発生部 2 b と、パケットのフォーマットのタイミングに従って試験パケット発生部 2 b を制御する送信制御部 2 a とを有し、試験パケット受信部 3 は、受信したパケットのアドレスのチェック手段やテストデータのチェック手段を含む試験パケットチェック部 3 b と、パケットのフォーマットのタイミングに従って試験パケットチェック部 3 b を制御する受信制御部 3 a とを有するものである。

【選択図】 図 1

認定・付加情報

| | |
|---------|----------------|
| 特許出願の番号 | 特願 2000-343466 |
| 受付番号 | 50001454262 |
| 書類名 | 特許願 |
| 担当官 | 内山 晴美 7545 |
| 作成日 | 平成12年11月16日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|-----------------------|
| 【識別番号】 | 000005223 |
| 【住所又は居所】 | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 【氏名又は名称】 | 富士通株式会社 |

【代理人】

申請人

| | |
|----------|-----------------------|
| 【識別番号】 | 100105337 |
| 【住所又は居所】 | 東京都港区虎ノ門二丁目9番11号 信和ビル |
| 【氏名又は名称】 | 眞鍋 潔 |

【代理人】

| | |
|----------|-----------------------|
| 【識別番号】 | 100072833 |
| 【住所又は居所】 | 東京都港区虎ノ門二丁目9番11号 信和ビル |
| 【氏名又は名称】 | 柏谷 昭司 |

【代理人】

| | |
|----------|-----------------------|
| 【識別番号】 | 100075890 |
| 【住所又は居所】 | 東京都港区虎ノ門二丁目9番11号 信和ビル |
| 【氏名又は名称】 | 渡邊 弘一 |

【代理人】

| | |
|----------|-----------------------|
| 【識別番号】 | 100110238 |
| 【住所又は居所】 | 東京都港区虎ノ門二丁目9番11号 信和ビル |
| 【氏名又は名称】 | 伊藤 壽郎 |

次頁無

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

| | |
|----------|-----------------------|
| 1. 変更年月日 | 1 9 9 6 年 3 月 2 6 日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 氏 名 | 富士通株式会社 |